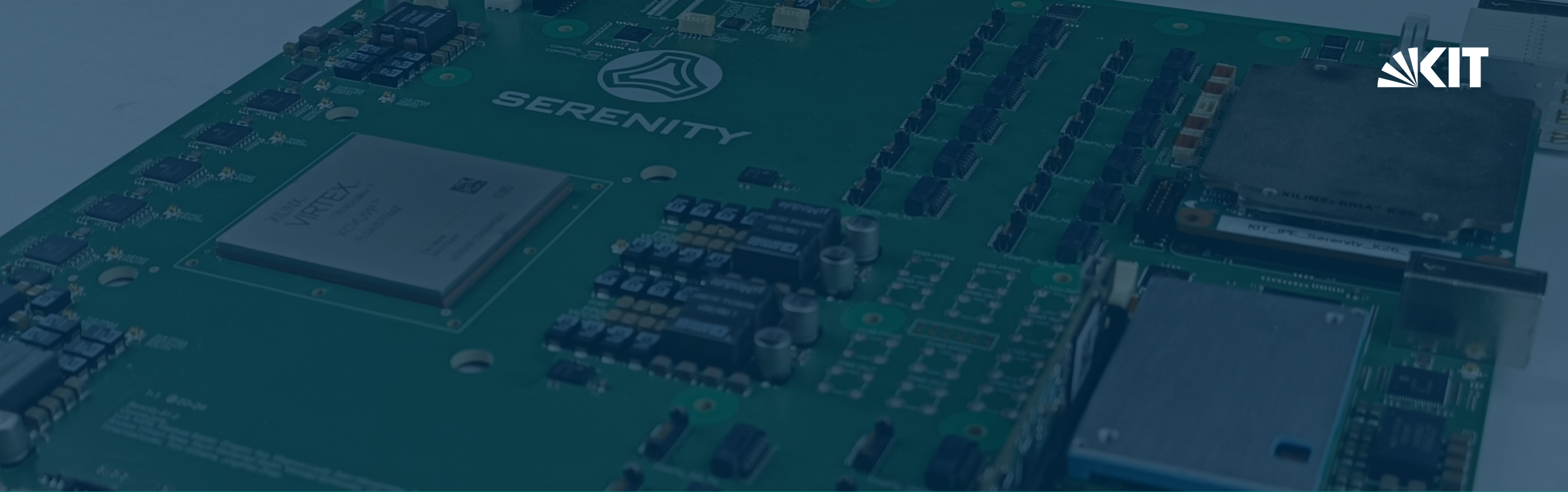
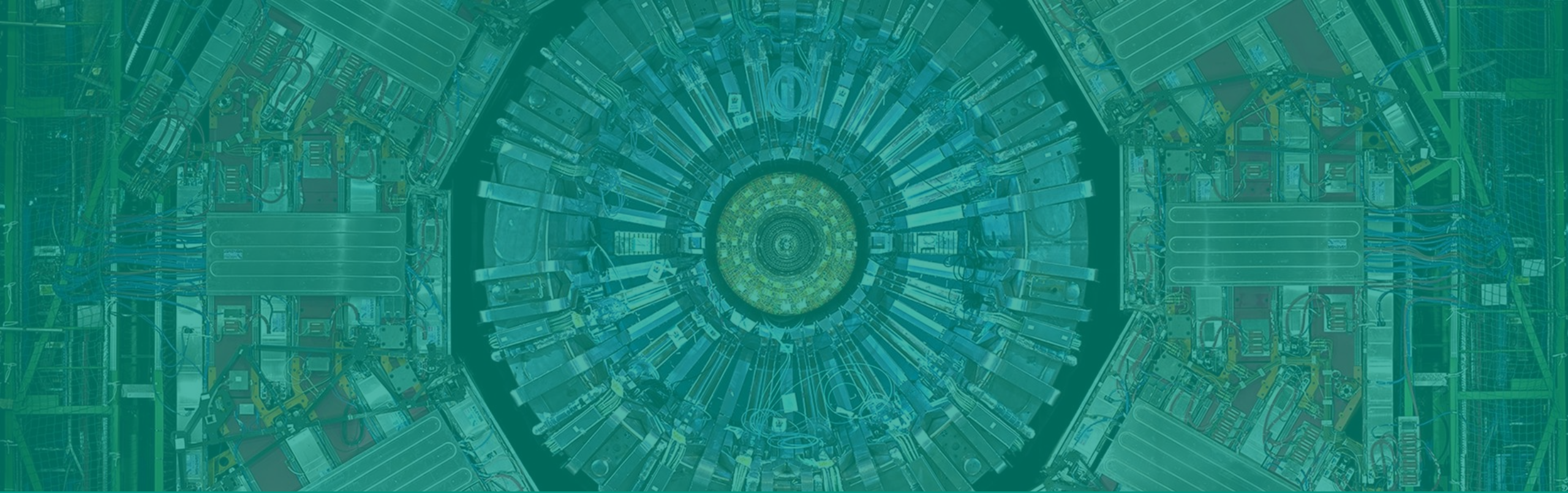




Modular Hardware Toolbox für Datenerfassungssysteme in Hochenergiephysik-Experimenten

Torben Mehner | 10.03.2026 | Institut für Prozessdatenverarbeitung und Elektronik



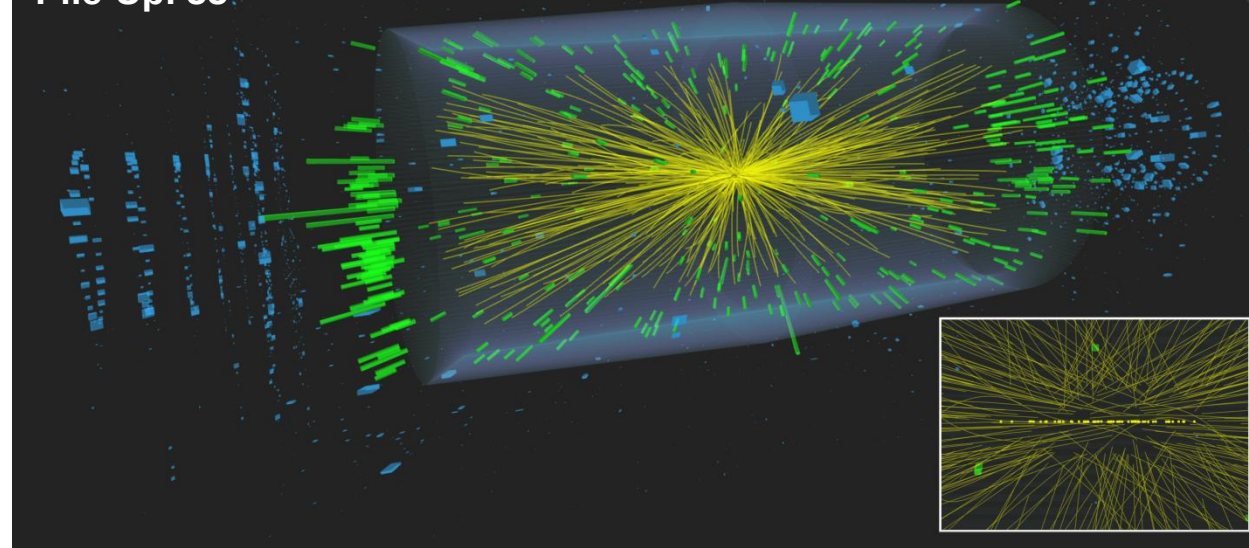
Problemstellung

High-Luminosity Large Hadron Collider

- Mehr Statistik für präzisere Physik benötigt
- Erhöhung der Kollisionsrate in den Detektoren
 - Viele überlagerte Ereignisse (Pileup)
- Upgrade der Detektoren
 - Erhöhte räumliche und zeitliche Granularität
- Resultat: **Steigende Datenraten**

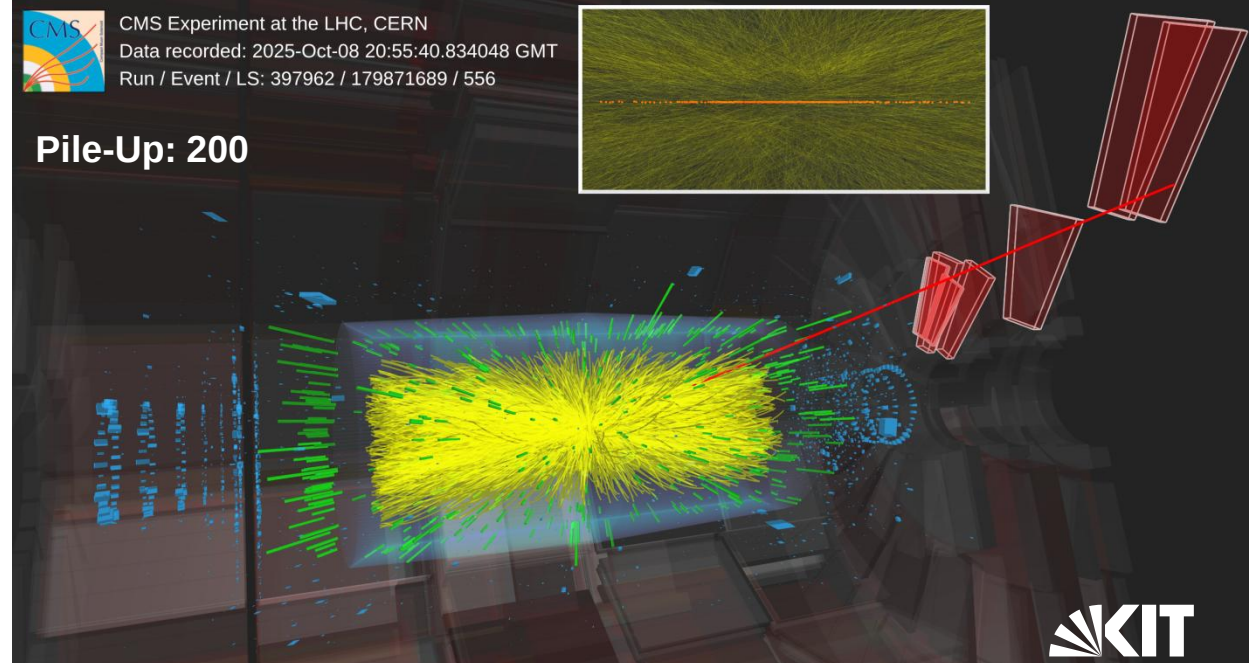
CMS Experiment at the LHC, CERN
Data recorded: 2023-Jul-01 19:20:56.970240 GMT
Run / Event / LS: 369942 / 30775538 / 75

Pile-Up: 55



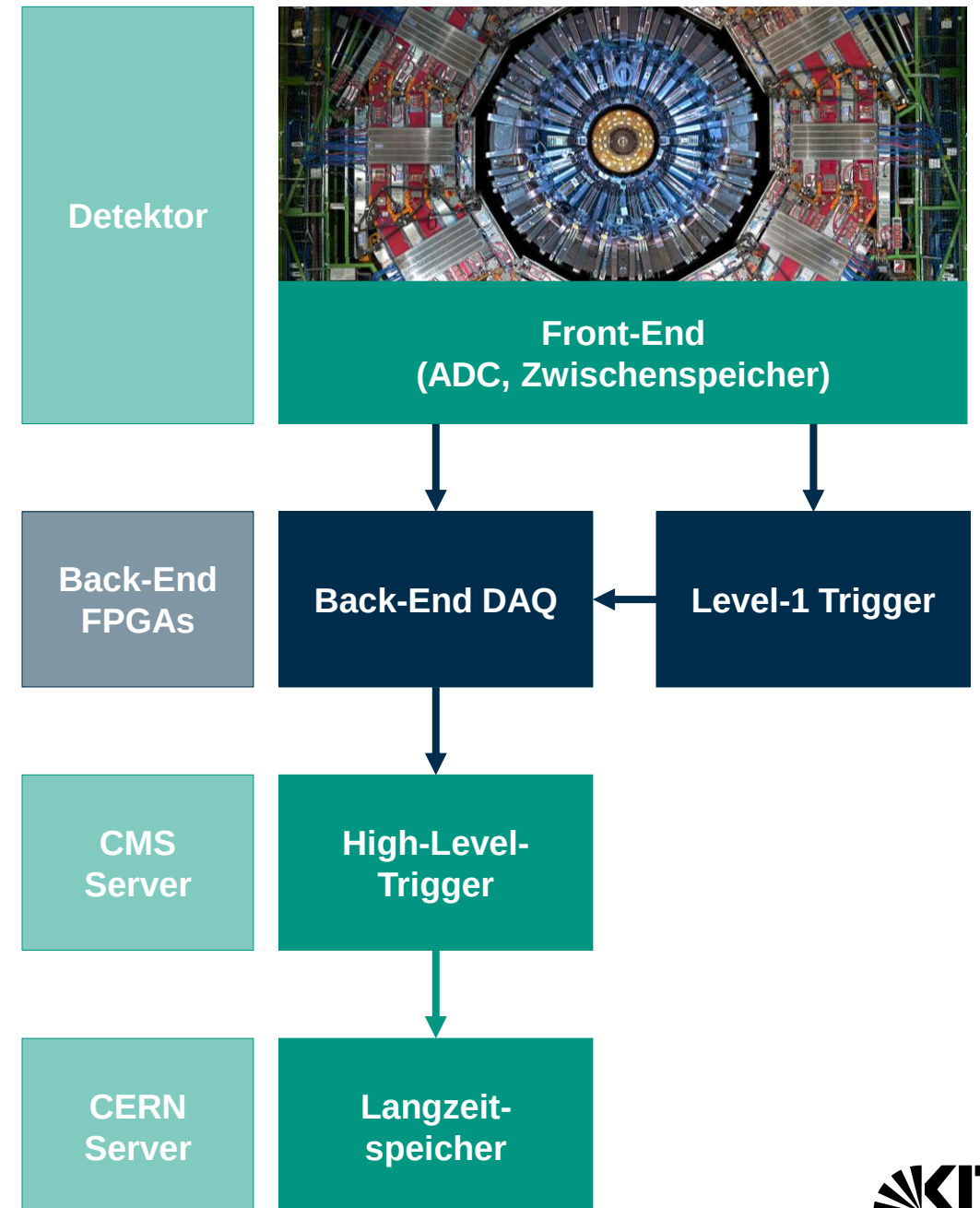
CMS Experiment at the LHC, CERN
Data recorded: 2025-Oct-08 20:55:40.834048 GMT
Run / Event / LS: 397962 / 179871689 / 556

Pile-Up: 200



Trigger und DAQ-System im CMS-Experiment

- Level-1 Trigger
 - Echtzeit-Datenreduktion in 12,5 μ s in FPGAs
 - Reduktion von theoretischen 2.700 Tbit/s $\rightarrow$ 54 Tbit/s
- High-Level Trigger
 - Datenreduktion in Server-Farm
 - Reduktion von 54 Tbit/s $\rightarrow$ 0,4 Tbit/s
- Fokus auf ca. 1200 FPGA Back-End Karten



CMS Datenverarbeitungskarten im Lauf der Zeit

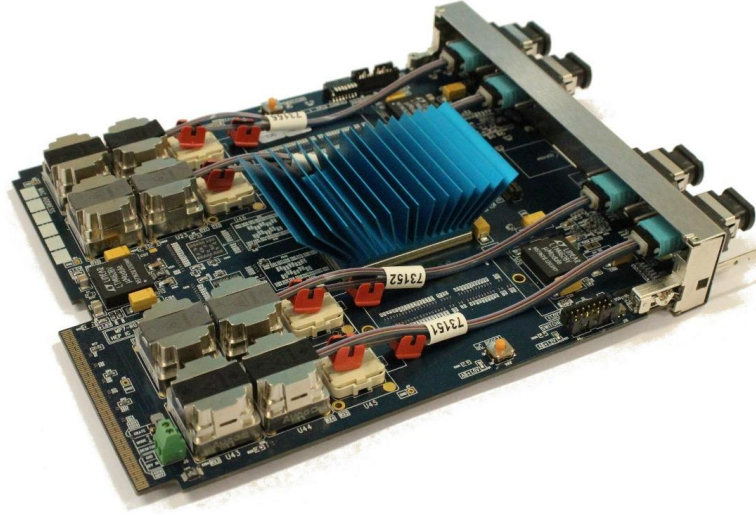


C. P. Day u. a., „The CMS Tracker Front-End Driver“, 2003, *CERN*. doi: [10.5170/CERN-2003-006.255](https://doi.org/10.5170/CERN-2003-006.255).

Baseline CMS (2010)

FED

- 4x AMD Virtex-II FPGA
- 3 Gbit/s Bandbreite



K. Compton u. a., „The MP7 and CTP-6: multi-hundred Gbps processing boards for calorimeter trigger upgrades at CMS“, *J. Inst.*, Bd. 7, Nr. 12, S. C12024–C12024, Dez. 2012, doi: [10.1088/1748-0221/7/12/C12024](https://doi.org/10.1088/1748-0221/7/12/C12024).

CMS Phase-1 Upgrade (2019)

MP7

- AMD Virtex-7 FPGA
- 740 Gbit/s Bandbreite



CMS Phase-2 Upgrade (2026)

Serenity-S1

- AMD Virtex UltraScale+ FPGA
- 3100 Gbit/s Bandbreite

Herausforderung

- Spannung zwischen Systemkomplexität und PCB-Design-Praktiken
 - Systemkomplexität steigt stark
 - PCB-Design-Praktiken entwickeln sich kaum
- Entwicklungsprozesse an steigende Systemkomplexität anpassen
 - Bedarf nach expliziter, reproduzierbarer Struktur
 - Vorbild: Systematischer Entwurf im Software-Engineering

Stand der Technik

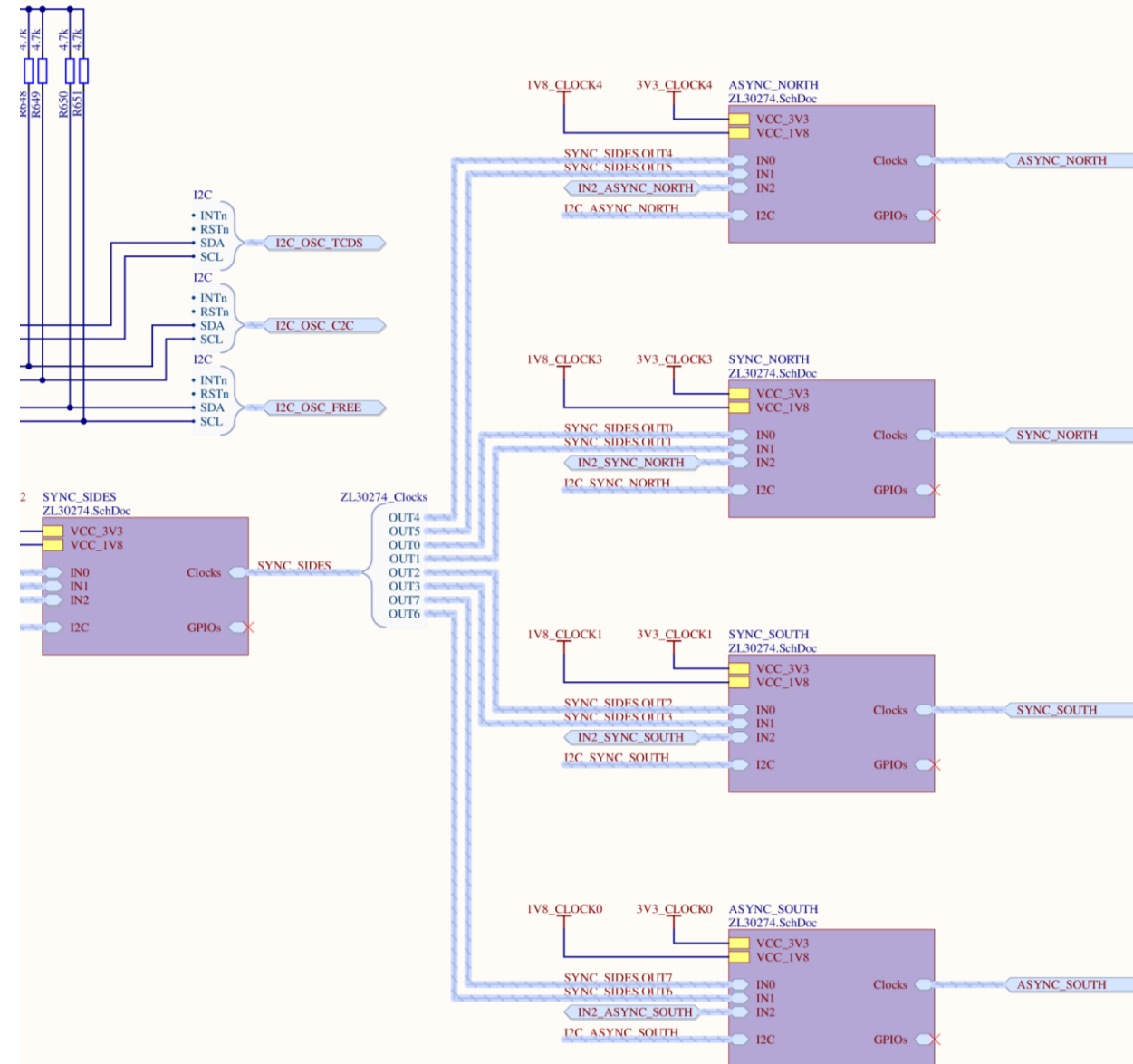
Etablierte Modularität auf Systemebene

- Modularität durch etablierte Standards auf Crate- und Board-Ebene (ATCA, μ TCA, PCIe)
- Anpassbarkeit durch Austausch von Systemen
- Skalierbarkeit durch Erweiterung
- Definierte Schnittstellen

Modularität ist auf **Systemebene** gut verstanden und etabliert.

Leiterplattenentwicklung und EDA-Workflows

- Modularität in EDA-Software möglich
 - Hierarchie etabliert
 - Module sind neue Features
- Keine breite Adoption der Technik
 - Strukturierungsentscheidungen durch Entwickler



Forschungslücke

- Etablierte Modularität adressiert primär die Systemebene
- Intra-Board-Strukturierung komplexer Leiterplatten bleibt informell
- Keine übertragbare, methodisch definierte Modularisierung auf PCB-Ebene
- Bestehende EDA-Workflows unterstützen diese Anforderungen nur unzureichend

Es fehlt eine **methodische** Lösung für Modularität auf Leiterplattenebene.

Forschungsfrage

Wie lassen sich komplexe Leiterplatten
für HEP-DAQ-Systeme

**methodisch, strukturiert,
modular und reproduzierbar**

entwickeln?

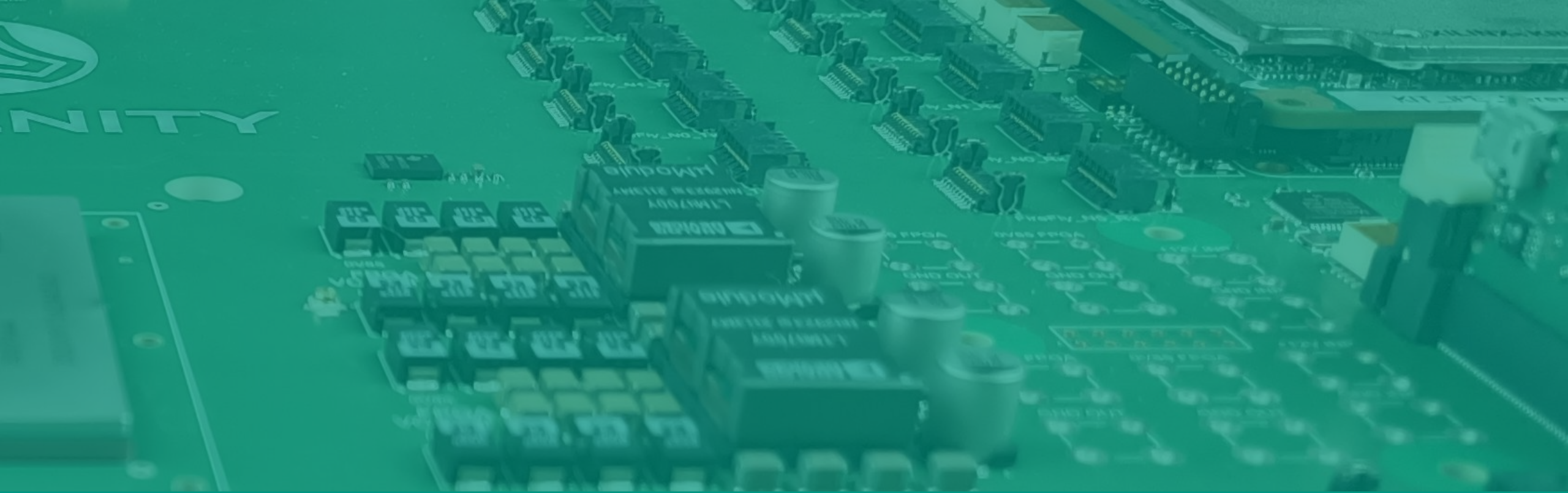
Anspruch und bewusste Abgrenzung

Anspruch der Arbeit

- Entwicklung eines werkzeugunabhängigen methodischen Rahmens
- Integration in bestehende EDA-Workflows
- Fokus auf Struktur, Wiederverwendung und Nachvollziehbarkeit

Bewusste Abgrenzung

- Kein Ersatz für bestehende EDA-Software
- Keine Hardwarebeschreibungssprache
- Keine vollständige Automatisierung des PCB-Designs



Modular Hardware Toolbox

Modular Hardware Toolbox

- Definiert Richtlinien und Prozesse
- Keine Bibliothek
- Methodischer Rahmen, kein Werkzeug
- Unabhängig von, aber kompatibel mit gängiger EDA-Software

Konsistenz

Wiederverwendbarkeit

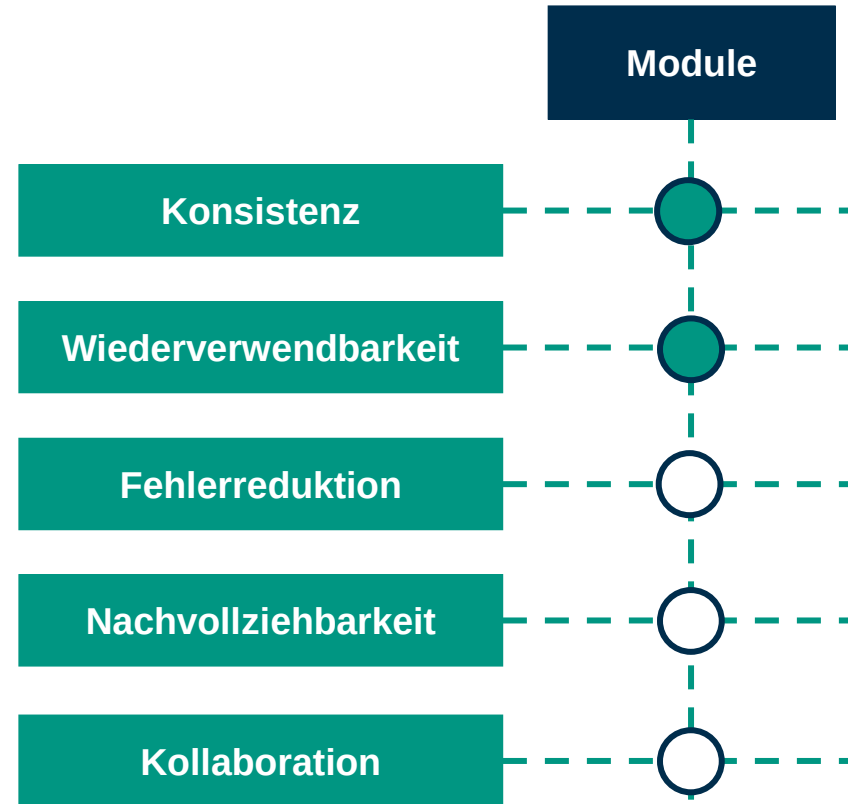
Fehlerreduktion

Nachvollziehbarkeit

Kollaboration

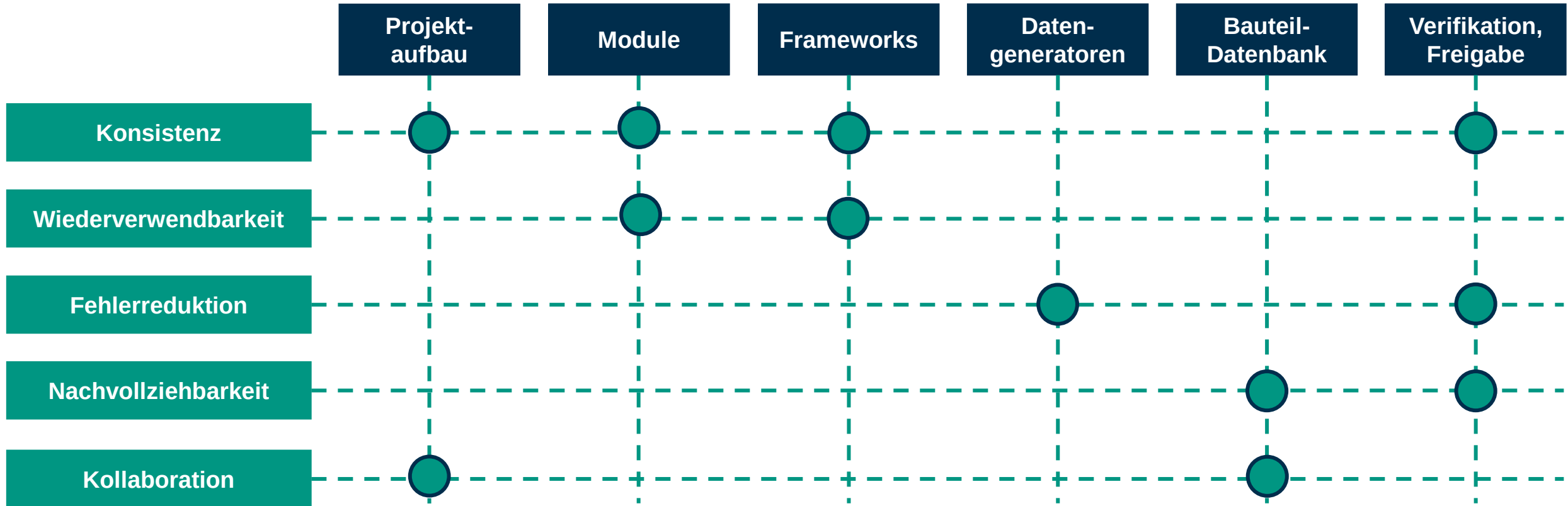
Architektur der Modular Hardware Toolbox

- Basierend auf Anforderungen



Architektur der Modular Hardware Toolbox

- Basierend auf Anforderungen
- Subsystem adressiert Anforderungen explizit oder implizit

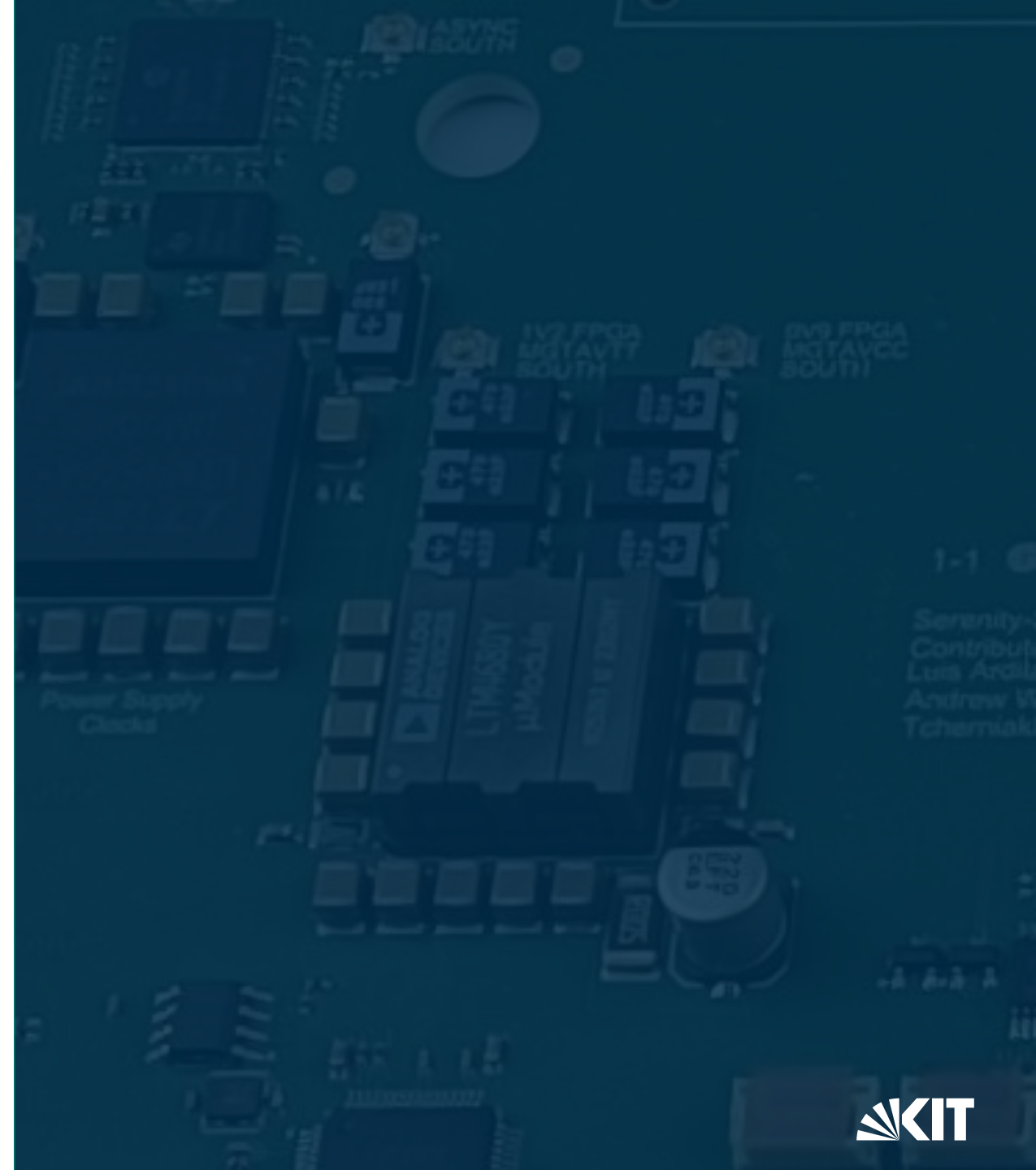


Architektur der Modular Hardware Toolbox

- Basierend auf Anforderungen
- Subsystem adressiert Anforderungen explizit oder implizit
- Vollständige Abdeckung der Anforderungen

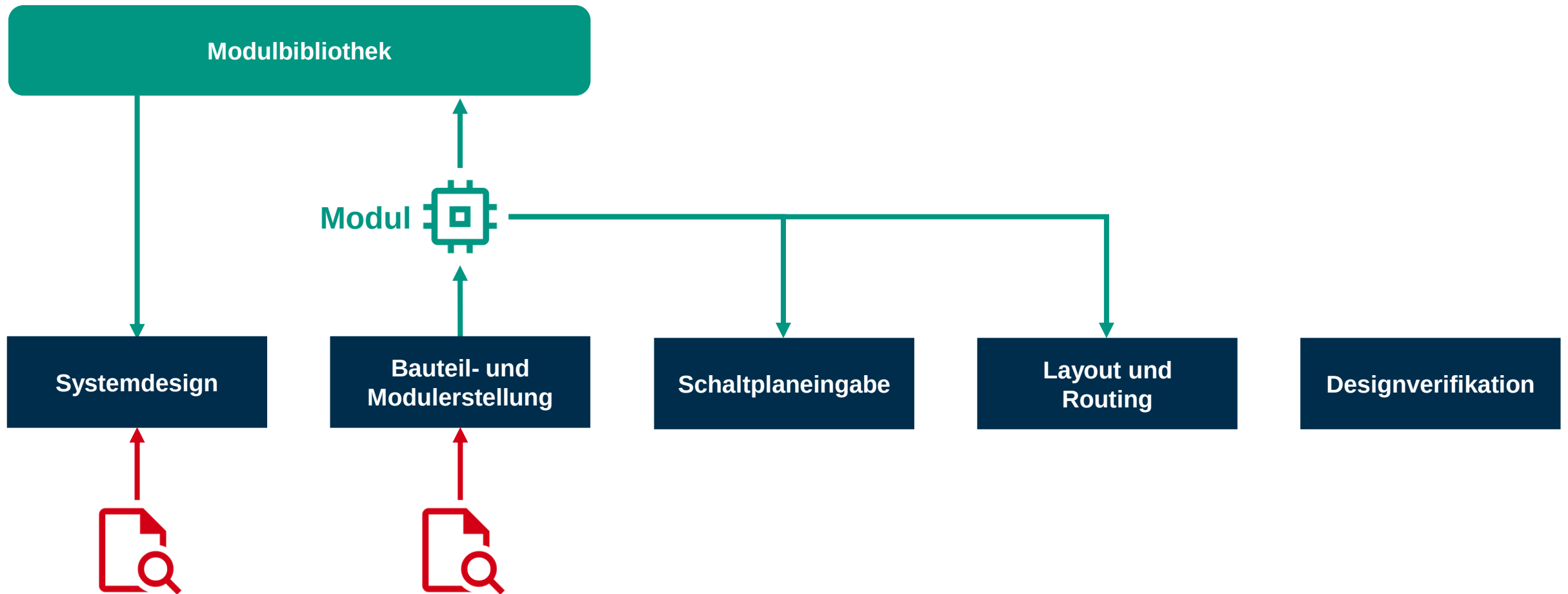
Module

- Abgrenzbare Teilschaltung
 - Erfüllt (genau) eine Funktion
 - Explizite Schnittstellen
- Hierarchische Strukturierung komplexer Schaltungen
 - Top-Level Schaltplan beschreibt Systemarchitektur
 - Bottom-Level Schaltplan entspricht Modul
- Wiederverwendbarkeit
 - Parametrisierung auf Schaltplan-Ebene
 - Kompatibilität auf Layout-Ebene





Hardwareentwicklung ohne Module



Hardwareentwicklung mit Modulen

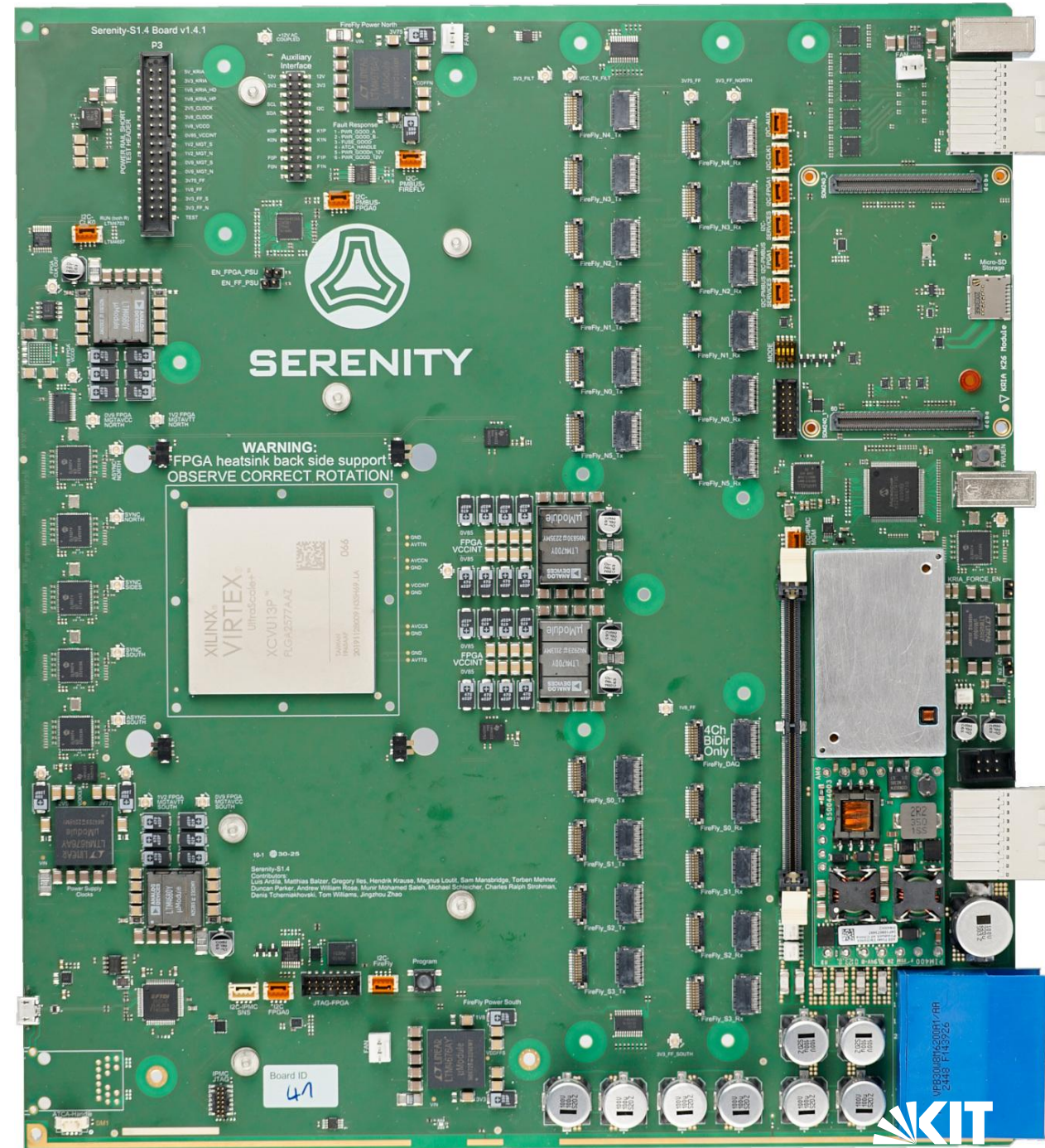
- Modularer Entwurf reduziert Datenblattkonsultationen
- Lohnend ab der ersten Verwendung



Serenity-S1

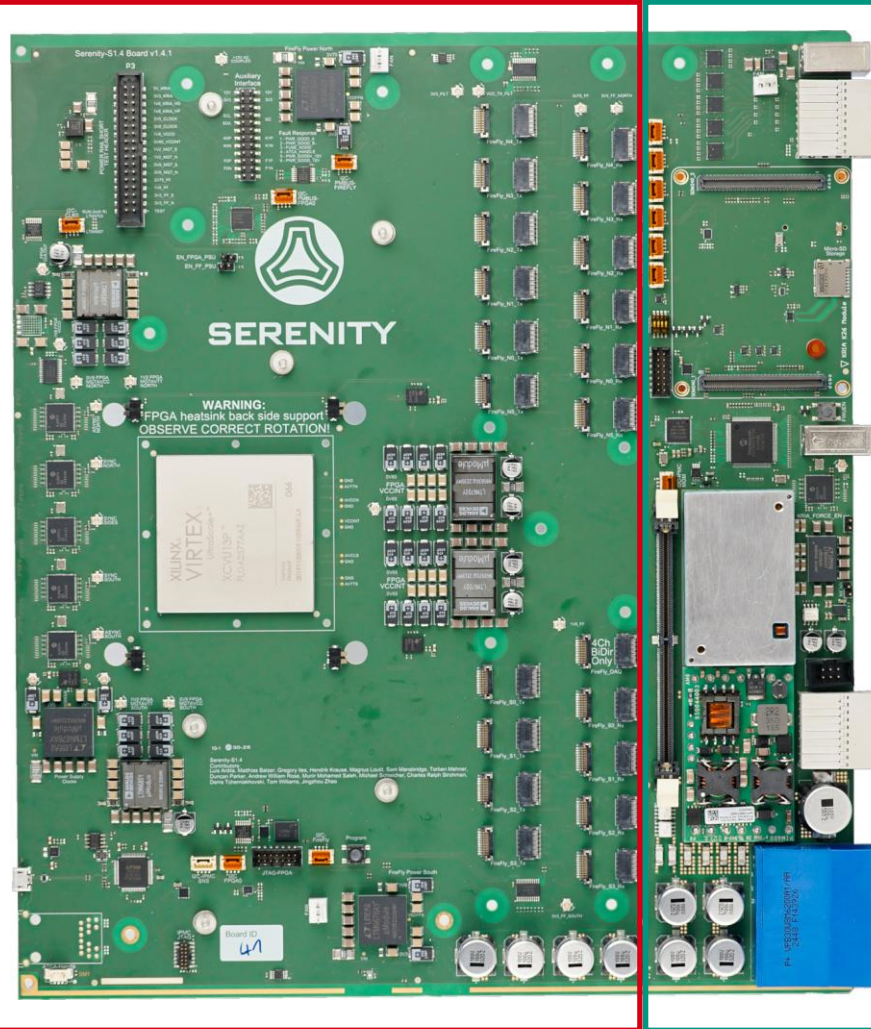
Serenity-S1

- Entwickelt für CMS Back-End
 - Internationale Kollaboration
 - Serienproduktion (720 Karten)
- Hohe Daten- und Leistungsdichte
 - Virtex UltraScale+ VU13P FPGA
 - 3.1 Tbit/s optische Datenein- und ausgabe
 - 400 W Leistung



Payload-Bereich

- Datenverarbeitung im FPGA
- Datenübertragung durch FireFly Module
- Taktverteilung
- Spannungsversorgung



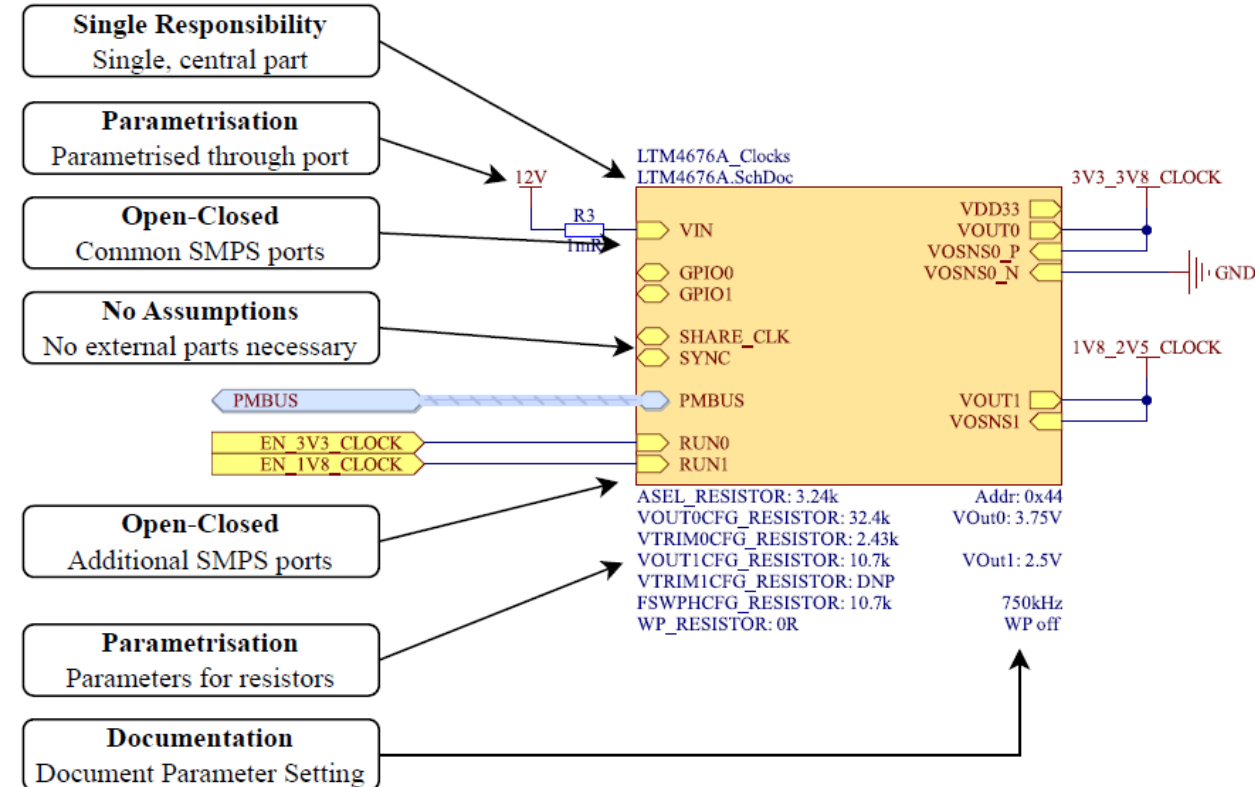
Service-Bereich

- Wiederkehrende Aufgaben
- Board-Management in Kria
- ATCA-Kommunikation durch OpenIPMC
- Spannungseingang

Systempartitionierung

Modulbasierte Spannungsversorgung

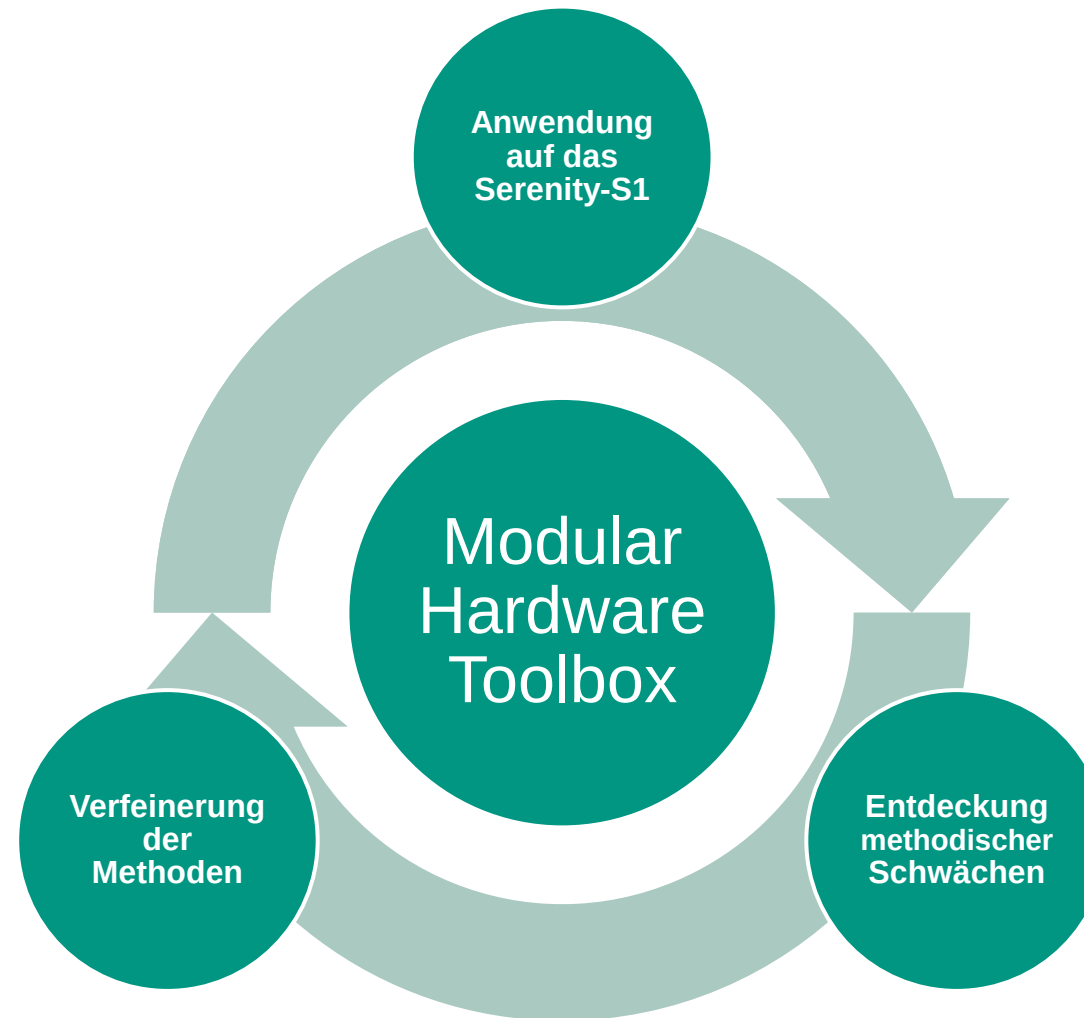
- Mehrfache Verwendung von Power Supply Modulen
 - Parametrisierbar für verschiedene Spannungen
 - Zeitersparnis beim Layout
- Einfacher Austausch einzelner Module
 - Vorbereitung für Lieferengpässe
 - Schneller, minimaler Eingriff ins PCB
- Übertragbar auf andere Schaltungsteile



Kollaborative Entwicklung

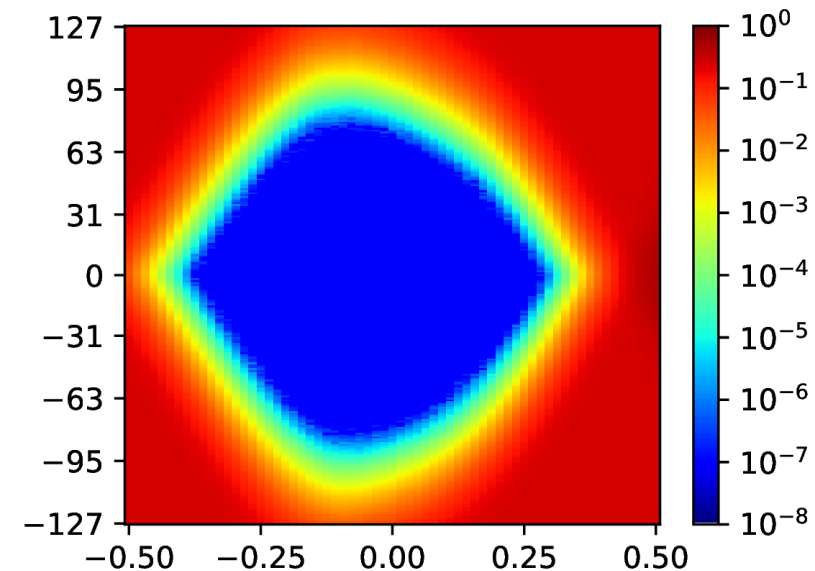
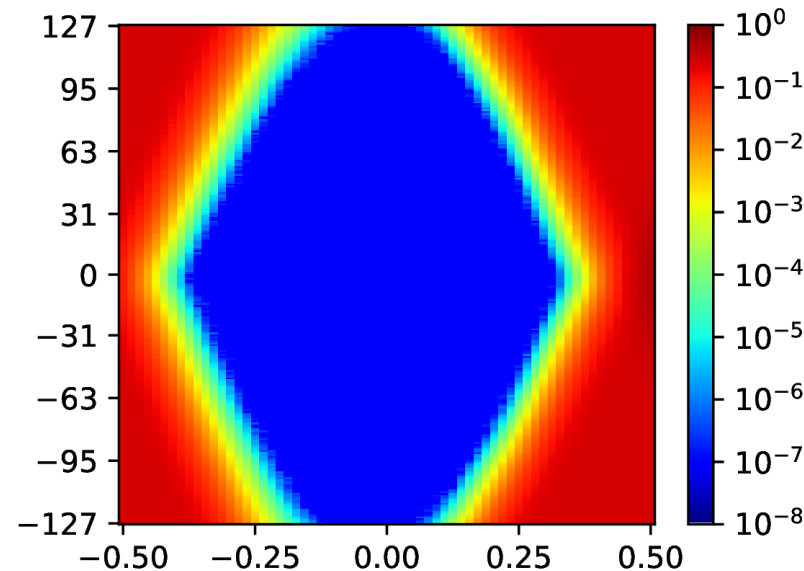
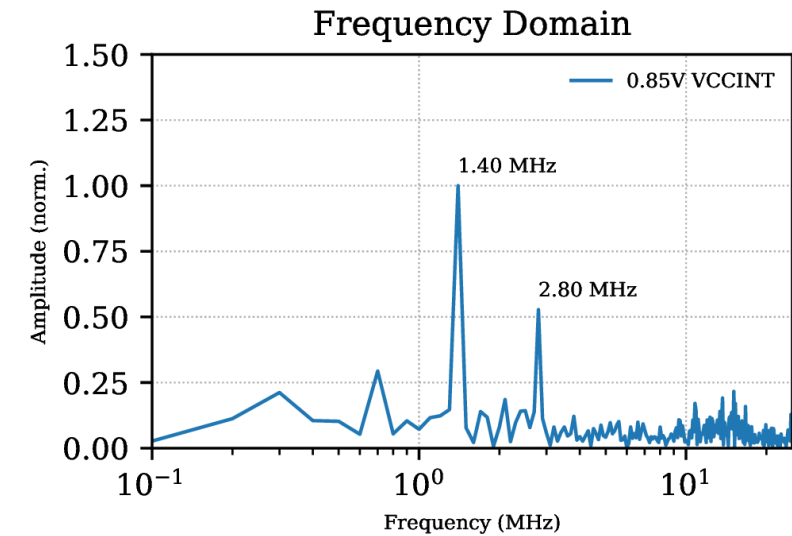
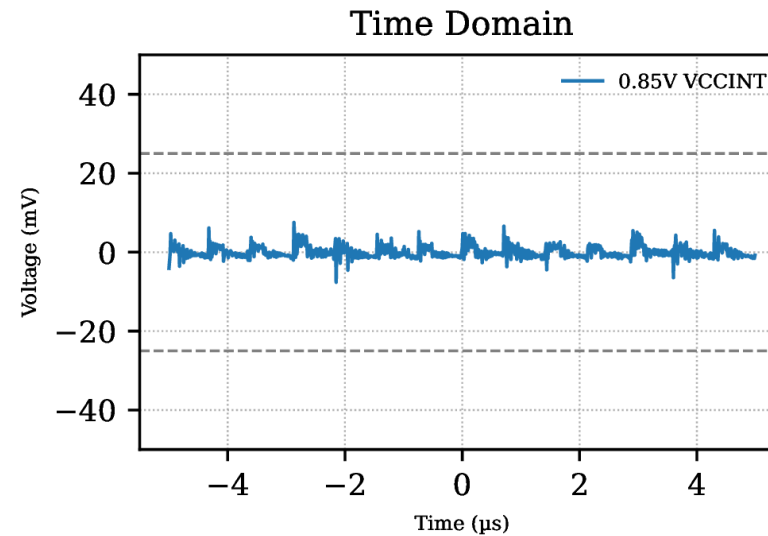
- Parallele Entwicklung durch Modularisierung
 - Funktion jedes Moduls definiert
 - Klare Modulgrenzen reduzieren Abhängigkeiten
- Verbesserte Kollaboration
 - Modul statt System als Forschungsbeitrag
 - Spezialisierung von Instituten möglich

Ko-evolutionärer Ansatz



Technische Evidenz

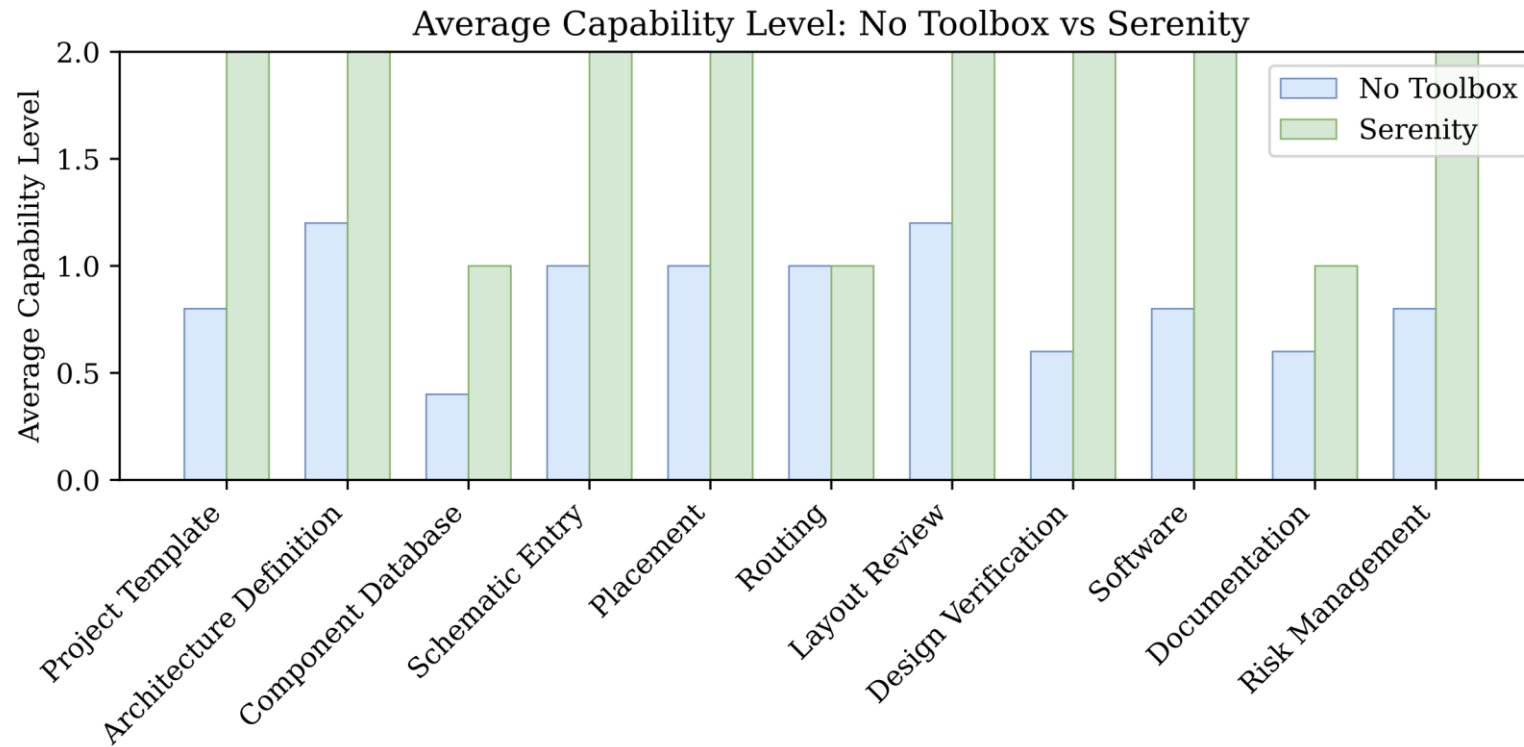
- Stabile Spannungsversorgung
- Optische Datenübertragung bis 25 Gbit/s mit $\text{BER} < 10^{-12}$
- Erfolgreiche Reviews und Produktionsfreigabe
- Einsatz in Systemtests mehrerer Subdetektoren



Ergebnisse

Capability Maturity Model Integration (CMMI)

- Bewertung von Prozessen und Organisationen
- Vorhandene Modelle
 - CMMI-DEV für (Software-) Engineering
 - CMMI für ASIC von CERN EP-ESE-ME
- Neues CMMI-Modells für Hardware-Entwicklung
 - 11 Kategorien
 - 3 Capability Levels

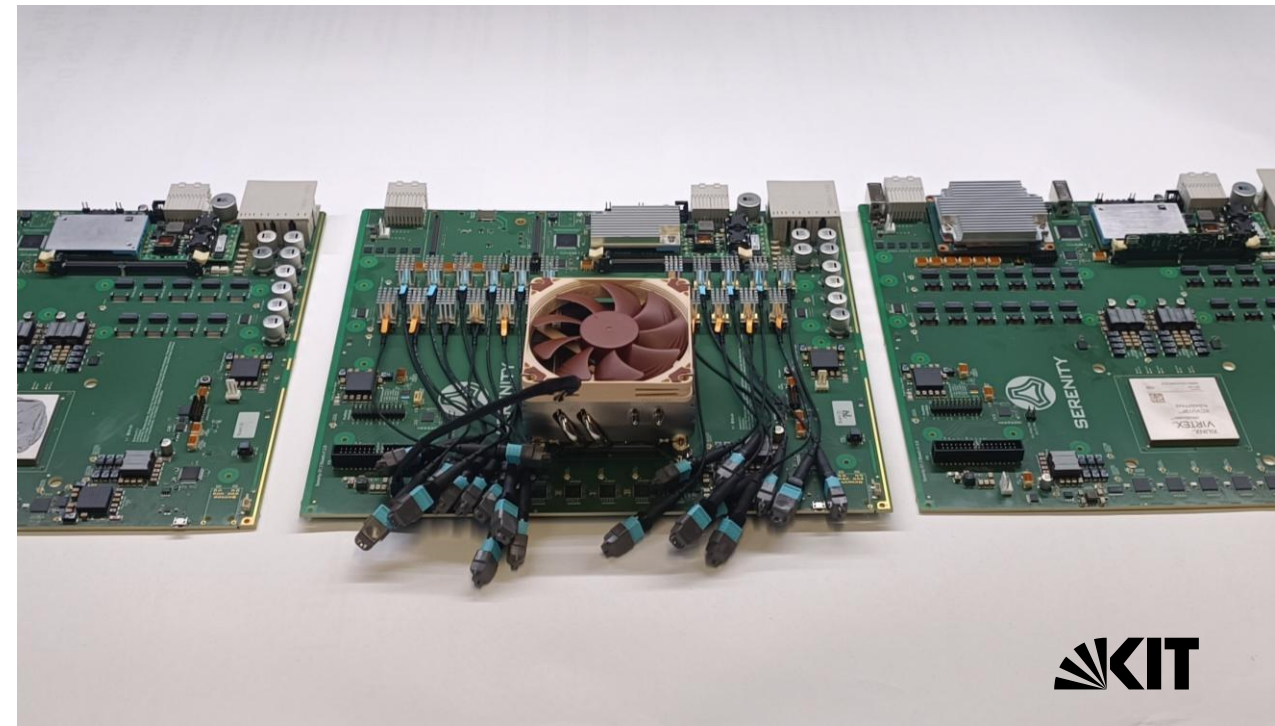
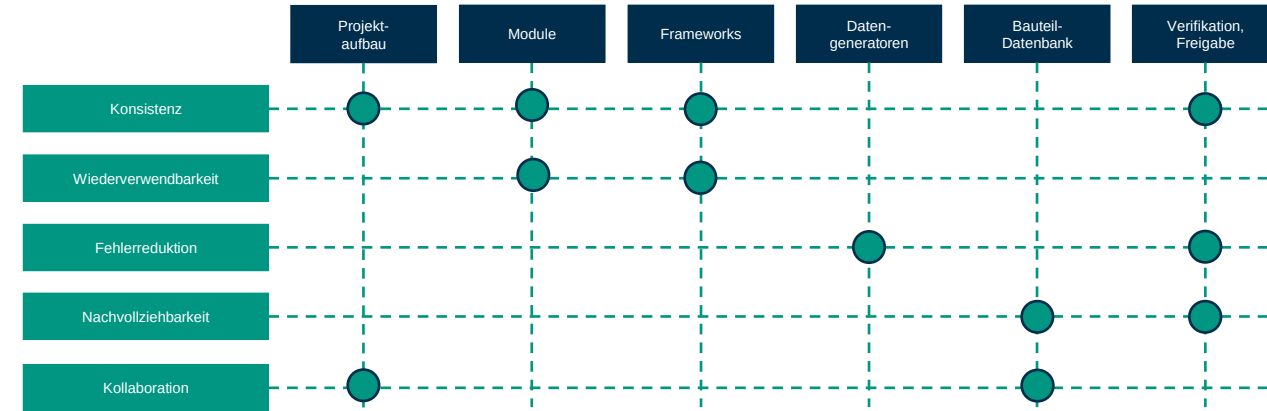


CMMI-Ergebnisse

- Verbesserung der Kapabilitätslevel
 - Referenzprojekte: 0,55 – 1,27
 - Serenity-S1: 1,7
- Verifikation und Risikomanagement stark verbessert
- Keine Verbesserung bei Routing

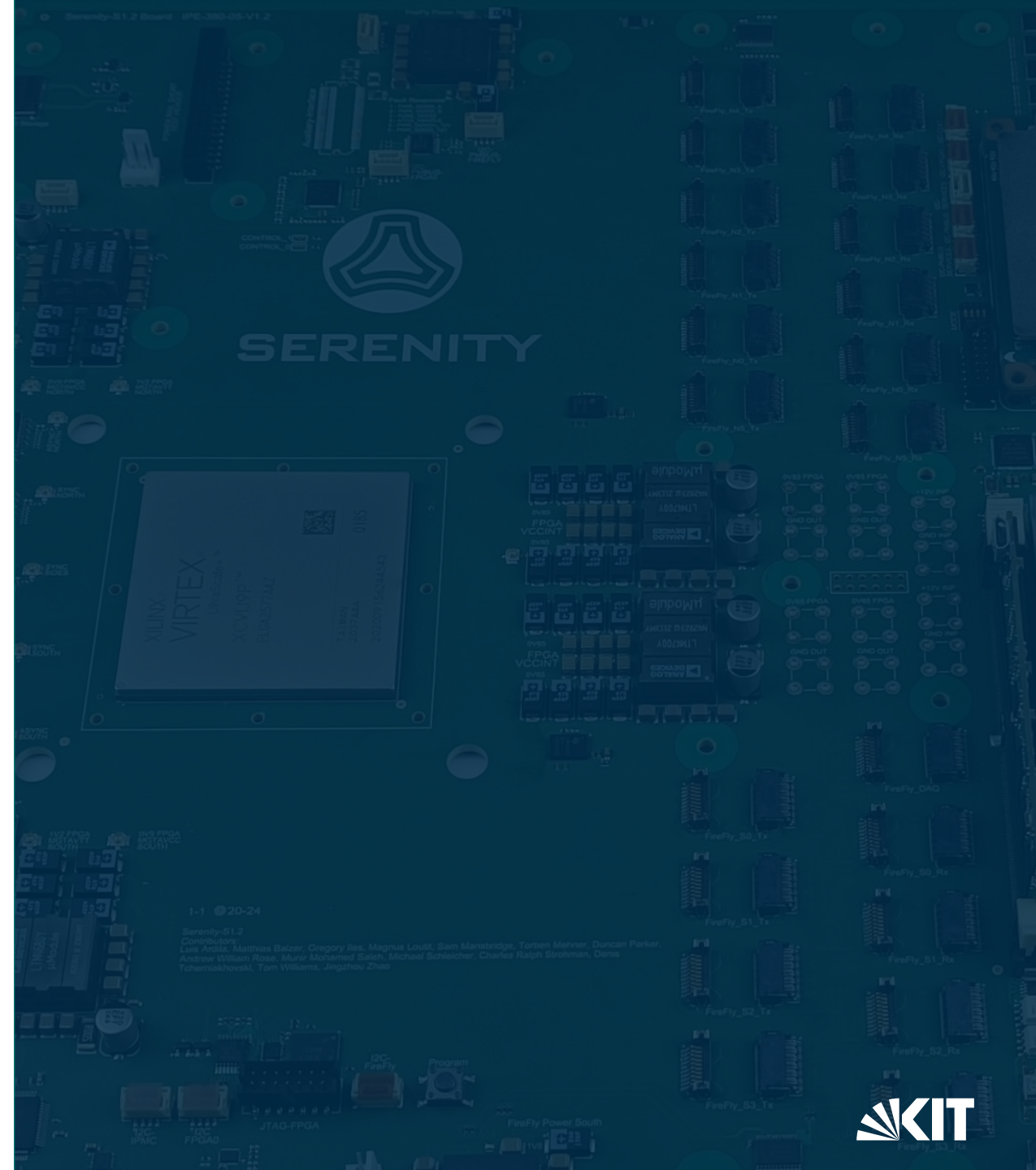
Wissenschaftliche Beiträge

- Modular Hardware Toolbox strukturiert Hardwareentwicklung
 - Formale Modularisierung auf Intra-Board-Ebene
 - Übertragung von Software-Engineering-Prinzipien auf PCB-Design
 - Werkzeugunabhängiger, methodischer Rahmen
- Validierung durch Entwicklung des Serenity-S1



Limitationen

- Methodischer Rahmen
 - Keine direkt benutzbaren Artefakte
 - Werkzeugunabhängig
- Begrenzte Fallstudie
 - Weitere Anwendungen notwendig
 - Dennoch: sehr komplexe Entwicklung



Fazit und Ausblick

- Modular Hardware Toolbox vereinfacht die Entwicklung komplexer Systeme
 - Strukturierter, modularer, kollaborativer Entwicklungsprozess
- Ergebnisse
 - Erfolgreiche Entwicklung des Serenity-S1
 - CMMI-Modell zeigt systematische Verbesserung
- Ausblick
 - Neue Kollaborationen in der HEP-Community
 - Übertragbarkeit auf Elektronik-Entwicklung über HEP hinaus
 - Kommerzialisierung durch IP-Blocks auf PCB-Ebene

