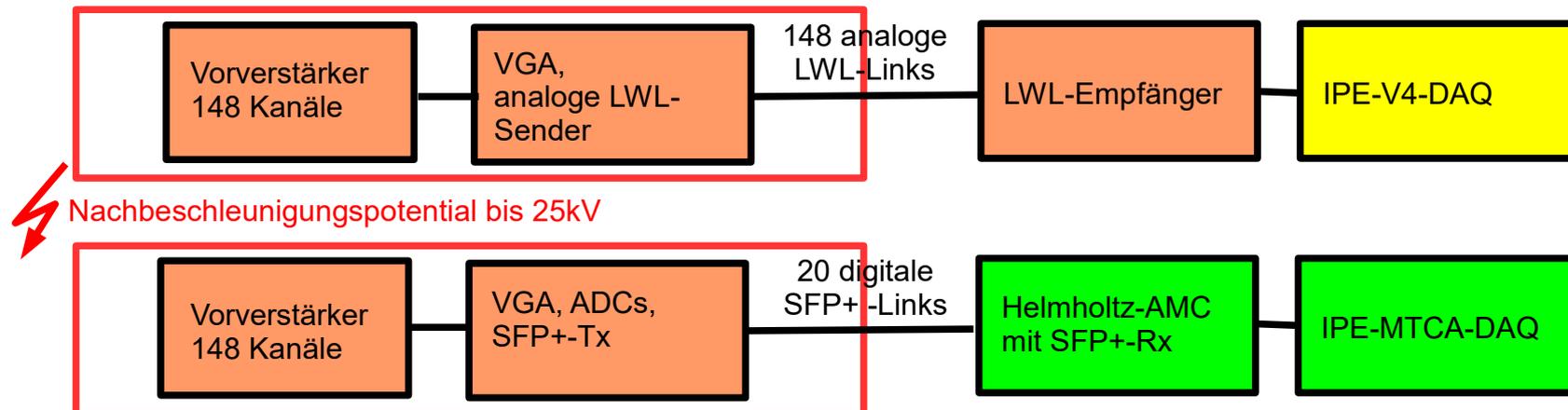


DAQ-Konzept mit detektornahen (“abgesetzten”) ADCs

IPE-Visionsmeeting Dez. 2016: MTCA-DAQ für KATRIN

- IPE-V4-DAQ stößt an Grenzen: häufige Nachkalibration durch analoge LWL-Verbindungen, komplexere Datenvorverarbeitung gewünscht (FPGA-Kapazität), Ersatzteilversorgung
- Vorteile von MTCA: viele auf verschiedenen Ebenen standardisierte Komponenten verfügbar, u.a. "Helmholtz-AMC", neue schnelle digitale LWL-Verbindungen verfügbar



-  • projekt-spezifisch
-  • teilweise projekt-übergreifend
-  • universell nutzbar



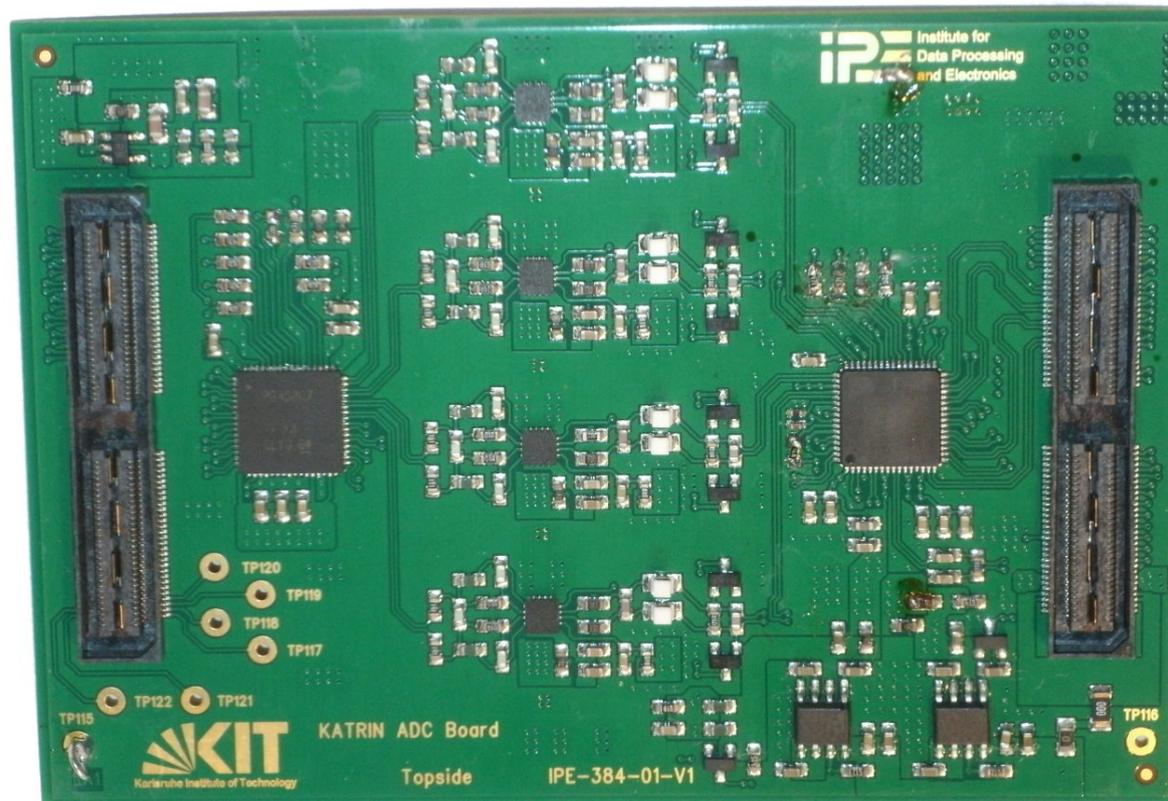
- Für den KATRIN-FPD müsste nur eine einzige Baugruppe neu entwickelt werden

Aktuelles DAQ-Konzept

“Abgesetzte ADCs” (“Remote ADC”)

- Grundprinzip “Signalquellennahe Digitalisierung” interessant für viele Projekte:
Optimale Verkürzung stöempfindlicher Analogleitungen, robuste HV-Trennung auf der Digitalebene (LWL), weniger Leitungen, weniger projektspezifische Baugruppen
- Prototypische Anwendung: KATRIN Focal-Plane-Detektorsystem (148 Kanäle in 4 Quadranten)
- Nicht zwangsläufig projektgebundene 8-Kanal-14-Bit-ADC-Baugruppe
- 5 Stück o. a. ADC-Baugruppen als Mezzanines auf einer Trägerbaugruppe bedienen 37 Kanäle eines KATRIN-FPD-Quadranten
- Trägerbaugruppe enthält:
 - FPGA
 - Spannungsversorgung mit magnetfeldfesten DC/DC-Wandlern
 - Optoelektronische Transceiver (QSFP)
 - Optoelektronische Empfänger für übergeordnete Synchronisation (10 MHz, 1 pps)
 - Abtasttakt-Aufbereitung mit Jitter Cleaner
- “Selbstserialisierenden ADCs” (JESD-Schnittstelle) zugunsten FPGA verworfen:
 - Größere Auswahl an ADCs
 - Synchronisation der DC/DC-Wandler auf Abtasttakt (alle Clocks auf Baugruppe synchron)
 - Management/Konfiguration der ADCs
 - Management der optoelektronischen Transceiver
 - zusätzliche Option: Datenvorverarbeitung

8-Kanal-14-Bit-ADC-Baugruppe



Daten der ADC-Baugruppe

Betriebsspannung 1 (PGA, AAF)	3,6 V, Stromaufnahme t.b.d. (ca. 170 mA)
Betriebsspannung 2 (ADC)	2,3 V, Stromaufnahme t.b.d. (ca. 310 mA)
Verlustleistung	ca. 1,5 W
Anti-Aliasing-Filterung	Bessel (schnelles Einschwingen), 5. Ordnung
Anti-Aliasing -3dB-Grenzfrequenz	7,3 MHz
Anti-Aliasing-Dämpfung bei 20 MHz	-17,3 dB
Analog-Verstärkung	12...30 dB (4x ... 32x)
Vorgesehene(s) Abtastrate/-intervall	40 MHz / 25 ns
FSR am Eingang	63 mV _{SS} ... 0,5 V _{SS}
Verstärkungsstufen PGA	3 dB
Analogeingang	differentiell, hochohmig, DC-Kopplung
Common-Mode-Bereich	1,9 V ... 2,3 V

Kritische Aspekte des Verfahrens und Herausforderungen

- Digital-/Analog-Entkopplung da enge räumliche Nachbarschaft
=> vorzugsweise phasenstarre Synchronisierung aller Takte
- DC/DC-Wandler quasi unvermeidlich
 - Beherrschung der DC/DC-Störemissionen
 - Synchronisation der DC/DC-Wandler auf Abtasttakt der ADCs
 - magnetfeldresistente DC/DC-Wandler durch Luftspulen
- Clock-Management:
Korrektes Timing und geringer Jitter des Abasttaktes
für räumlich verteilte ADCs
- Verlustleistungs-Management: mit der frühen Digitalisierung wandert
Verlustleistung nahe an die Signalquellen (Anlage, Detektoren, etc.)

Vorteile der neuen DAQ-Struktur

- Minimierung des störemfindlichen Analog-Signalpfades
- Einfache Potentialtrennung durch kommerzielle LWL aus dem IT-Bereich
- Minimierung projektspezifischer Baugruppen
= maximale Nutzung von standardisierten Hardwarebaugruppen
- Anpassung an das Projekt über FPGA-Firmware und Software
- Weitreichende Skalierbarkeit unter Beibehalt der grundsätzlichen Struktur
- => Weiterverwendbare Grundbausteine:
 - DC/DC-Wandler
 - FPGA
 - Clock-Management
 - Schnittstellen
 - optoelektronische Transceiver